

Prior Art

Conventionally, as shown in Figs. 2(a) to 2(d), a method of forming via holes for connecting upper and lower conductive layers of a multilayer wiring board involves the respective steps: that is, a first step (see Fig. 2(a)) of forming a wiring pattern 2 on a substrate 1; a second step (see Fig. 2(b)) of forming a polyimide film 3 photosensitive and containing filler made of SiO_2 on the entire surface of the wiring pattern 2 of the substrate 1 by a spin coating method; a third step of drying the filler-containing polyimide film 3 at a low temperature in an oven; a fourth step (see Fig. 2(c)) of irradiating the filler-containing polyimide film 3 with ultraviolet rays S through a glass mask 6 shielding prescribed parts; and a fifth step (see Fig. 2(d)) of developing the filler-containing polyimide film irradiated with ultraviolet rays S and removing the parts corresponding to the shielded parts to form the via holes 4 and heating the polyimide film 3 to imidize the filler-containing polyimide film.

[0003]

Problems to Be Solved by the Invention

In such a conventional method of manufacturing a multilayer wiring board, effects of fluctuation of the film thickness of a filler-containing polyimide film in the substrate by spin coating and dispersion of temperature in the substrate by drying at low temperature are caused and further, an effect of fluctuation of the exposure light quantity in the substrate by the ultraviolet ray exposure is caused. These adverse effects are overlapped and thus, as shown in Fig. 2(d), both via holes having side faces with shapes of positive tapers (shapes with wide top faces of holes and narrow bottom faces) and shapes of reverse tapers (shapes with narrow top faces of holes and wide bottom faces) are formed in the substrate when development is carried out.

[0004]

In the case the via holes with the shapes of the reverse

tapers are formed, at the time of connecting upper and lower conductive layers, the wiring pattern in the upper layer tends to be easily disconnected and it results in a defect that is generation of so-called pattern open.

5 Means for Solving the Problems

[0005]

The method of manufacturing a multilayer wiring board of the invention contains the following respective steps:

10 a first step of forming a metal wiring pattern on a substrate;

a second step of forming a polyimide film containing photosensitive filler containing SiO_2 on the entire surface of the wiring pattern-bearing substrate by a spin coating method;

15 a third step of drying the filler-containing polyimide film at a low temperature;

a fourth step of irradiating the filler-containing polyimide film with excimer laser beam through a first mask to form openings immediately before making via holes in the filler-containing polyimide film;

20 a fifth step of irradiating the filler-containing polyimide film with ultraviolet rays through a second mask, excluding the places where the openings are formed immediately before making via holes; and

25 a sixth step of developing the filler-containing polyimide film and heating the film to imidize the filler-containing polyimide film.

[0006]

Examples

30 Next, one example of the invention will be described in detail with reference to drawings.

[0007]

Figs. 1(a) to 1(e) are cross-sectional views showing one example of a multilayer wiring board manufactured in processing order according to an embodiment of the invention.

35 [0008]

As shown in Fig. 1(a), in this embodiment, at first a wiring pattern 2 of a lower layer is formed on a substrate 1.
[0009]

Successively, as shown in Fig. 1(b), a polyimide film 3
5 containing photosensitive filler containing SiO_2 is formed on the entire surface of the wiring pattern-bearing substrate 1 by a spin coating method and the substrate is dried at low temperature in an oven. In this state, the filler-containing polyimide film 3 has a thickness of 20 μm to 30 μm and is not
10 yet imidized.
[0010]

Next, as shown in Fig. 1(c), the filler-containing polyimide film 3 is irradiated with excimer laser beam E through a mask 5 partially shielding the film so as to radiate excimer
15 laser beam E only to desired parts of the surface of the film and thus openings 4a are formed in the filler-containing polyimide film 3 immediately before making via holes. At that time, since the thickness of the filler-containing polyimide film 3 on the wiring pattern 2 in the substrate 1 is uneven,
20 the excimer laser beam quantity is increased in the places where the thickness is thick, and the filler-containing polyimide film thickness on the wiring pattern 2 in the substrate immediately before making via holes 4a can be made even. Further, the via hole shapes in this state are approximately
25 perpendicular and the surface of the filler-containing polyimide film 3 immediately before making via holes 4a is roughened.
[0011]

Next, as shown in Fig. 1(d), the filler-containing
30 polyimide film is exposed to ultraviolet rays S through a glass mask 6, excluding the places in which the openings are formed immediately before making via holes.
[0012]

Furthermore, as shown in Fig. 1(e), when development is
35 carried, the roughened faces in the via hole parts are dissolved

in a developer solution to form via holes 4 with shapes of positive tapers without roughness. Finally, the filler-containing polyimide film 3 processed for patterning in the manner described above is heated at 300 to 400°C to cure and imidize the film.

[0013]

Effects of the Invention

As described above, a method of manufacturing a multilayer wiring board of the present invention involves irradiating a filler-containing polyimide film with excimer laser beam to open openings immediately before making via holes; thereafter exposing the parts of the filler-containing polyimide film which are not irradiated with the excimer laser beam to ultraviolet rays; and developing the film to form via holes with shapes of positive tapers in the substrate. Accordingly, an effect of improving the connection properties of the via holes between upper and lower conductive layers can be caused.

Brief Description of the Drawings

Fig. 1: Separate drawings 1(a) to 1(e) show cross-sectional views in processing order of a multilayer wiring board produced according to an embodiment of the invention.

Fig. 2: Separate drawings 2(a) to 2(d) show cross-sectional views in processing order of a multilayer wiring board produced according to a conventional method.

Explanation of Symbols

- 1: substrate
- 2: wiring pattern
- 3: filler-containing polyimide film
- 4: via hole
- 4a: immediately before making via holes
- 5: mask
- 6: glass mask
- E: excimer laser beam
- S: ultraviolet rays

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-264797

(43) 公開日 平成4年(1992)9月21日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/46	T	6921-4E		
H 0 1 L 21/3205				
H 0 5 K 3/46	N	6921-4E	H 0 1 L 21/88	F
		7353-4M		

審査請求 未請求 請求項の数 1 (全 3 頁)

(21) 出願番号 特願平3-25874

(22) 出願日 平成3年(1991)2月20日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 田村 浩悦

東京都港区芝五丁目7番1号日本電気株式
会社内

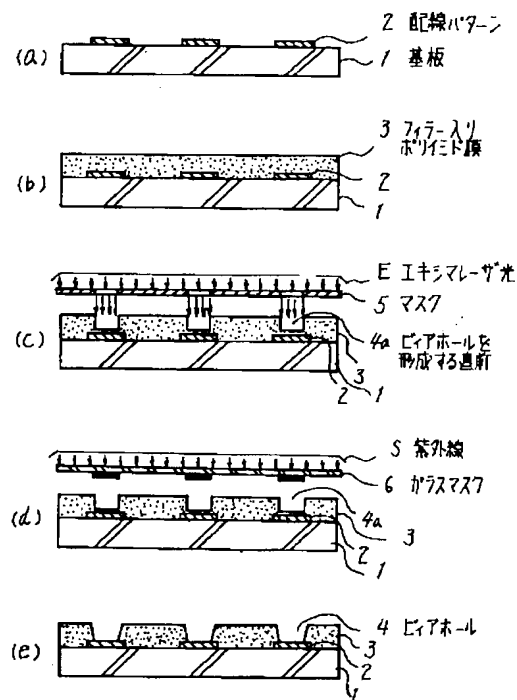
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 多層配線基板の製造方法

(57) 【要約】

【構成】基板1上に配線パターン2を形成し、更に、この上にフィラー入りポリイミド膜3を形成し乾燥する。次いで、マスク5を介してエキシマレーザー光Eを照射し、フィラー入りポリイミド膜3にビアホールの開く直前4aまで形成する。そして、ビアホールを形成する直前4aまで穴を開けた個所以外のフィラー入りポリイミド膜3にガラスマスク6を介して紫外線Sを照射し、フィラー入りポリイミド膜3を現像してビアホール4を形成した後、熱処理を行う。

【効果】基板内のビアホールをすべて正テーパ形に形成することができるため、上下の導体間のビアホールの接続性が向上する。



【特許請求の範囲】

【請求項1】 基板上に SiO_2 を含有したポリイミドと金属配線パターンとを形成し、それを積層する多層配線基板の製造方法であって、

(イ) 基板上に金属の配線パターンを形成する第一工程

(ロ) 前記配線パターン上の前記基板の全面に亘って感光性を有するフィラー入りポリイミド膜をスピンコート法によって形成する第二工程

(ハ) 前記フィラー入りポリイミド膜を低温乾燥する第三工程

(ニ) 前記フィラー入りポリイミド膜に第1のマスクを介してエキシマレーザー光を照射し、このフィラー入りポリイミド膜にビアホールを形成する直前まで穴を開ける第四工程

(ホ) 前記ビアホールを形成する直前まで穴を開けた箇所以外の前記フィラー入りポリイミド膜に、第2のマスクを介して紫外線を照射する第五工程

(ヘ) 前記フィラー入りポリイミド膜を現像してビアホールを形成し、これを加熱し前記フィラー入りポリイミド膜をイミド化する第六工程の各工程からなることを特徴とする多層配線基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は多層配線基板の製造方法に関し、特に大規模集積回路(LSI)装着用の高密度多層配線基板の上下の導体層間を接続するためのビアホールを含む多層配線基板の製造方法に関する。

【0002】

【従来の技術】従来、多層配線基板の上下の導体層間を接続するためのビアホールの形成方法は、図2(a)～(d)に示すように、基板1上に金属の配線パターン2を形成する第一工程(図2(a)参照)と、この配線パターン2の上に基板1の全面に亘って感光性であって、かつ SiO_2 よりなるフィラー入りポリイミド膜3をスピンコート法によって形成する第二工程(図2(b)参照)と、フィラー入りポリイミド膜3をオープンによって低温乾燥する第三工程と、フィラー入りポリイミド膜3に所定の部分を遮蔽したガラスマスク6を介して紫外線Sを照射する第四工程(図2(c)参照)と、紫外線Sを照射したフィラー入りポリイミド膜3を現像して前記遮蔽した部分に対応する部分のフィラー入りポリイミド膜3を除去してビアホール4を形成し、これを加熱してフィラー入りポリイミド膜3をイミド化する第五工程(図2(d)参照)の各工程からなっていた。

【0003】

【発明が解決しようとする課題】このような従来の多層配線基板の製造方法では、スピンコートによる基板内のフィラー入りポリイミド膜の膜厚のばらつき、および低

温乾燥による基板内の温度ばらつきによる影響があり、また、紫外線露光による基板内の露光量ばらつきの影響がある。そして、これらの悪影響が重なり、図2の分図(d)に示すように、現像すると基板内でビアホールの側面が正テーパ形(穴の上面が広く、かつ底面が狭くなる形状)および逆テーパ形(穴の上面が狭く、かつ底面が広がる形状)の両方のビアホールが形成される。

【0004】この逆テーパ形のビアホールが形成されると、上下の導体層を接続する際に、上層の配線パターンの切断が生じやすくなり、いわゆるパターンオープンが発生するという欠点を有している。

【0005】

【課題を解決するための手段】本発明の多層配線基板の製造方法は、

(イ) 基板上に金属の配線パターンを形成する第一工程

(ロ) 前記配線パターン上の前記基板の全面に亘って SiO_2 を含有した感光性のフィラー入りポリイミド膜をスピンコート法によって形成する第二工程

(ハ) 前記フィラー入りポリイミド膜を低温乾燥する第三工程

(ニ) 前記フィラー入りポリイミド膜に第1のマスクを介してエキシマレーザー光を照射し、このフィラー入りポリイミド膜にビアホールを形成する直前まで穴を開ける第四工程

(ホ) 前記ビアホールを形成する直前まで穴を開けた箇所以外の前記フィラー入りポリイミド膜に、第2のマスクを介して紫外線を照射する第五工程

(ヘ) 前記フィラー入りポリイミド膜を現像してビアホールを形成し、これを加熱し前記フィラー入りポリイミド膜をイミド化する第六工程の各工程からなっている。

【0006】

【実施例】次に、本発明の一実施例について図面を参照して詳細に説明する。

【0007】図1(a)～(e)は本発明の実施例によって製造した多層配線基板の一例を工程順に示した断面図である。

【0008】本実施例は図1(a)に示すように、まず、基板1上に下層の配線パターン2を形成する。

【0009】続いて、図1(b)に示すように、この基板1の表面の全面に SiO_2 を含有した感光性のフィラー入りポリイミド膜3をスピンコート法によって塗布し、これをオープンで低温乾燥する。この状態では、フィラー入りポリイミド膜3の膜厚は $20\mu\text{m} \sim 30\mu\text{m}$ であり、まだ、イミド化していない。

【0010】そして、図1(c)に示すように、フィラー入りポリイミド膜3の表面の所望の部分のみに、エキシマレーザー光Eが照射するように一部を遮蔽したマス

3

ク5を通してエキシマレーザー光Eを照射し、フィラー入りポリイミド膜3にビアホールを形成する直前4aまでの穴を開ける。このとき、基板1内で配線パターン2上のフィラー入りポリイミド膜3の膜厚のばらつきがあるため、膜厚が厚い箇所はエキシマレーザー光量を増加し、配線パターン2上のビアホールを形成する直前4aのフィラー入りポリイミド膜厚を均一にする。また、この状態でのビアホール形状は、垂直さみであり、ビアホールを形成する直前4a内のフィラー入りポリイミド膜3の表面は荒れている。

【0011】次に、図1(d)に示すように、ビアホールを形成する直前まで穴を開けた箇所以外のフィラー入りポリイミド膜にガラスマスク6を介して紫外線Sを露光する。

【0012】更に、図1(e)に示すように現像すると、ビアホール部の荒れ面は現像液に溶解され、荒れない正テーパ形のビアホール4が形成される。そして、最後にこのようにしてパターン加工されたフィラー入りポリイミド膜3を300～400℃で加熱してキュア(硬化)を行いイミド化する。

【0013】

【発明の効果】以上説明したように本発明の多層配線基板の製造方法は、フィラー入りポリイミド膜にエキシマ

4

レーザー光を照射させてビアホールを形成する直前まで穴を開けた後に、フィラー入りポリイミド膜のエキシマレーザー光の未照射部分に紫外線露光し、それを現像することにより、基板内のビアホールを全て正テーパ形に形成することができる。これにより上下の導体層間のビアホールの接続性を向上させるという効果を有する。

【図面の簡単な説明】

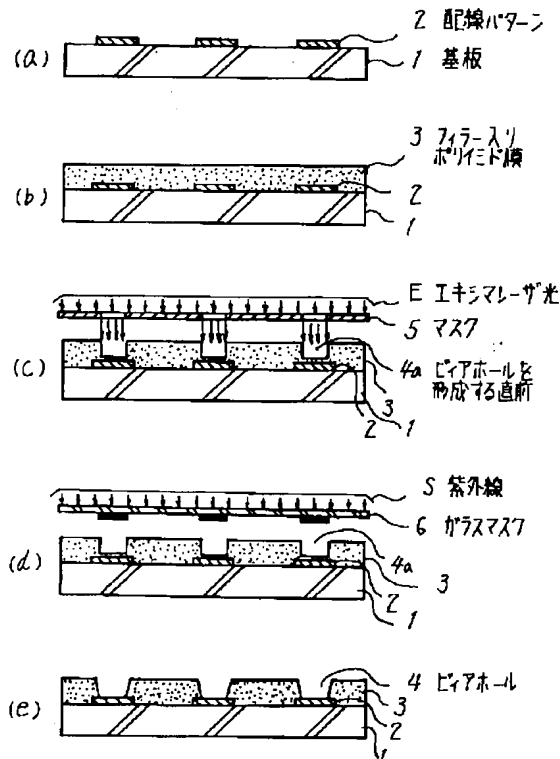
【図1】分図(a)～(e)は本発明の実施例によって製造した多層配線基板を工程順に示す断面図である。

【図2】分図(a)～(d)は従来の方法によって製造した多層配線基板を工程順に示す断面図である。

【符号の説明】

- 1 基板
- 2 配線パターン
- 3 フィラー入りポリイミド膜
- 4 ビアホール
- 4a ビアホールを形成する直前
- 5 マスク
- 20 6 ガラスマスク
- E エキシマレーザー光
- S 紫外線

【図1】



【図2】

